

Re... PTO 29 DEC 2004

PCT/JP03/07963

日 本 国 特 許 庁

JAPAN PATENT OFFICE

24.06.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月 1日

REC'D 11 JUL 2003

WIPO PCT

出 願 番 号

Application Number:

特願2002-192068

[ST.10/C]:

[JP2002-192068]

出 願 人

Applicant(s):

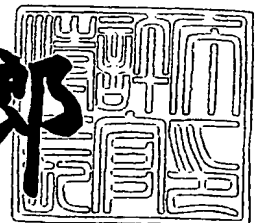
日本電気株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 5月16日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



Best Available Copy

出証番号 出証特2003-3036346

【書類名】 特許願

【整理番号】 33409921

【提出日】 平成14年 7月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 3/289
H03K 19/086

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 鈴木 康之

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 和田 茂己

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 天宮 泰

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スタティック型フリップフロップ回路

【特許請求の範囲】

【請求項1】 スタティック型フリップフロップ回路において、

第1のデータ読み込み用差動対と、前記第1のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成される第1のデータ保持用差動対と、前記第1のデータ読み込み用差動対および前記第1のデータ保持用差動対に接続される第1の電流源回路とを具備するマスター回路と、

第2のデータ読み込み用差動対と、前記第2のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成される第2のデータ保持用差動対と、前記第2のデータ読み込み用差動対および前記第2のデータ保持用差動対に接続される第2の電流源回路とを具備するスレーブ回路とを有し、

前記フリップフロップ回路は、前記第1および第2のデータ保持用差動対の電流が前記第1および第2のデータ読み込み用差動対の電流よりも小さくなり、かつ前記第1および第2のデータ保持用差動対の電流が当該データ保持用差動対を構成するトランジスタの許容電流以下となるような動作速度領域で動作を行うことを特徴とするスタティック型フリップフロップ回路。

【請求項2】 スタティック型フリップフロップ回路において、

第1のデータ読み込み用差動対と、前記第1のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成される第1のデータ保持用差動対と、前記第1のデータ読み込み用差動対および前記第1のデータ保持用差動対に接続される第1の電流源回路とを具備するマスター回路と、

第2のデータ読み込み用差動対と、前記第2のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成される第2のデータ保持用差動対と、前記第2のデータ読み込み用差動対および前記第2のデータ保持用差動対に接続される第2の電流源回路とを具備するスレーブ回路と、

前記第1および第2の電流源回路に接続され、前記第1および第2のデータ読み込み用差動対の電流と前記第1および第2のデータ保持用差動対の電流を、前

記フリップフロップ回路の動作速度に応じて制御するための電流制御端子とを有することを特徴とするスタティック型フリップフロップ回路。

【請求項3】 前記フリップフロップ回路は、当該フリップフロップ回路の動作速度が最高動作速度から低下した場合に、前記電流制御端子によって、前記第1および第2のデータ保持用差動対の電流が当該データ保持用差動対を構成するトランジスタの許容電流以下となるように調整される、請求項2に記載のスタティック型フリップフロップ回路。

【請求項4】 スタティック型フリップフロップ回路において、

第1のデータ読み込み用差動対と、前記第1のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成される第1のデータ保持用差動対と、前記第1のデータ読み込み用差動対および前記第1のデータ保持用差動対に接続される第1の電流源回路とを具備するマスター回路と、

第2のデータ読み込み用差動対と、前記第2のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成される第2のデータ保持用差動対と、前記第2のデータ読み込み用差動対および前記第2のデータ保持用差動対に接続される第2の電流源回路とを具備するスレーブ回路と、

前記マスター回路の前記第1の電流源回路とクロック信号が入力される端子との間に配置された第1の積分回路と、

前記スレーブ回路の前記第2の電流源回路とクロック補信号が入力される端子との間に配置された第2の積分回路とを有することを特徴とするスタティック型フリップフロップ回路。

【請求項5】 前記フリップフロップ回路は、当該フリップフロップ回路の動作速度が最高動作速度から低下した場合に、前記第1および第2の積分回路によって、前記第1および第2のデータ保持用差動対の電流が当該データ保持用差動対を構成するトランジスタの許容電流以下となるように調整される、請求項4に記載のスタティック型フリップフロップ回路。

【請求項6】 スタティック型フリップフロップ回路において、

第1のデータ読み込み用差動対と、前記第1のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成される第1のデ

ータ保持用差動対と、前記第1のデータ読み込み用差動対および前記第1のデータ保持用差動対に接続される第1の電流源回路とを具備するマスター回路と、

第2のデータ読み込み用差動対と、前記第2のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成される第2のデータ保持用差動対と、前記第2のデータ読み込み用差動対および前記第2のデータ保持用差動対に接続される第2の電流源回路とを具備するスレーブ回路と、

前記マスター回路の前記第1の電流源回路とクロック信号が入力される端子との間に配置された第1のローパスフィルタ回路と、

前記スレーブ回路の前記第2の電流源回路とクロック補信号が入力される端子との間に配置された第2のローパスフィルタ回路とを有することを特徴とするスタティック型フリップフロップ回路。

【請求項7】 前記フリップフロップ回路は、当該フリップフロップ回路の動作速度が最高動作速度から低下した場合に、前記第1および第2のローパスフィルタ回路によって、前記第1および第2のデータ保持用差動対の電流が当該データ保持用差動対を構成するトランジスタの許容電流以下となるように調整される、請求項6に記載のスタティック型フリップフロップ回路。

【請求項8】 スタティック型フリップフロップ回路において、

第1のデータ読み込み用差動対と、前記第1のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成され、第1のローパスフィルタ回路を介して並列に接続された2つの差動対からなる第1のデータ保持用差動対と、前記第1のデータ読み込み用差動対および前記第1のデータ保持用差動対に接続される第1の電流源回路とを具備するマスター回路と、

第2のデータ読み込み用差動対と前記第2のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成され、第2のローパスフィルタ回路を介して並列に接続された2つの差動対からなる第2のデータ保持用差動対と、前記第2のデータ読み込み用差動対および前記第2のデータ保持用差動対に接続される第2の電流源回路とを具備するスレーブ回路とを有することを特徴とするスタティック型フリップフロップ回路。

【請求項9】 前記フリップフロップ回路は、当該フリップフロップ回路の

動作速度が最高動作速度から低下した場合に、前記第1および第2のローパスフィルタ回路によって、前記第1および第2のデータ保持用差動対の電流が当該データ保持用差動対を構成するトランジスタの許容電流以下となるように調整される、請求項8に記載のスタティック型フリップフロップ回路。

【請求項10】 スタティック型フリップフロップ回路において、

第1のデータ読み込み用差動対と、前記第1のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成され、インダクタを含む第1の回路を介して並列に接続された2つの差動対からなる第1のデータ保持用差動対と、前記第1のデータ読み込み用差動対および前記第1のデータ保持用差動対に接続される第1の電流源回路とを具備するマスター回路と、

第2のデータ読み込み用差動対と、前記第2のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成され、インダクタを含む第2の回路を介して並列に接続された2つの差動対からなる第2のデータ保持用差動対と、前記第2のデータ読み込み用差動対および前記第2のデータ保持用差動対に接続される第2の電流源回路とを具備するスレーブ回路とを有することを特徴とするスタティック型フリップフロップ回路。

【請求項11】 前記フリップフロップ回路は、当該フリップフロップ回路の動作速度が最高動作速度から低下した場合に、前記第1および第2の回路によって、前記第1および第2のデータ保持用差動対の電流が当該データ保持用差動対を構成するトランジスタの許容電流以下となるように調整される、請求項10に記載のスタティック型フリップフロップ回路。

【請求項12】 前記フリップフロップ回路は、当該フリップフロップ回路の動作速度が最高動作速度から低下した場合に、当該動作速度によって、前記第1および第2のデータ保持用差動対の電流が当該データ保持用差動対を構成するトランジスタの許容電流以下となるように調整される、請求項4、6、8、10のいずれか1項に記載のスタティック型フリップフロップ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、データ読み出し用差動対とデータ保持用差動対とをマスター回路側およびスレーブ回路側において各々有し、クロック信号に同期してデータ入力論理値を更新するスタティック型フリップフロップ回路に関し、特に、高速で動作可能なECL (Emitter Coupled Logic) やSCFL (Source Coupled FET Logic) を用いたスタティック型フリップフロップ回路に関する。

【0002】

【従来の技術】

図7は、ECL基本回路を用いた従来のスタティック型フリップフロップ回路の一構成例を示す回路図である。

【0003】

図7を参照すると、本従来例のスタティック型フリップフロップ回路は、マスター回路1およびスレーブ回路2の2つのラッチ回路を有している。なお、GNDはグランド端子、VEEは電源端子、VCSは定電流源端子である。

【0004】

マスター回路1は、抵抗体R1, R2およびトランジスタQ1, Q2, Q5からなるデータ読み込み回路と、抵抗体R1, R2、トランジスタQ3, Q4, Q6、トランジスタQ8, Q9、および抵抗体R6, R7からなるデータ保持用正帰還回路と、トランジスタQ5, Q6の共通エミッタに接続されたトランジスタQ7および抵抗体R5からなる電流源回路とを有している。

【0005】

スレーブ回路2は、抵抗体R3, R4およびトランジスタQ10, Q11, Q14からなるデータ読み込み回路と、抵抗体R3, R4、トランジスタQ12, Q13, Q15、トランジスタQ17, Q18、および抵抗体R9, R10からなるデータ保持用正帰還回路と、トランジスタQ14, Q15の共通エミッタに接続されたトランジスタQ16および抵抗体R8からなる電流源回路とを有している。

【0006】

なお、トランジスタQ1～Q7および抵抗体R1, R2, R5と、トランジスタQ10～Q16および抵抗体R3, R4, R8とは、それぞれ上下2段の差動

対からなる縦積みゲートを構成する。トランジスタQ8, Q9および抵抗体R6, R7と、トランジスタQ17, Q18および抵抗体R9, R10とは、それぞれエミッタホロワ回路を構成する。マスター回路1の電流源回路とスレーブ回路2の電流源回路は共通の定電流源端子VCSに接続され、各電流源回路には一定の電流が流れるように構成されている。

【0007】

ここで、データ信号DがトランジスタQ1のベースに入力され、データ補信号DBがトランジスタQ2のベースに入力され、クロック信号CKがトランジスタQ5, Q15のベースに入力され、クロック補信号CKBがトランジスタQ6, Q14のベースに入力され、マスター回路1の出力端子Q', QB'にスレーブ回路2の入力端子(トランジスタQ10, Q11のベース)が接続され、スタティック型フリップフロップ回路が構成される。なお、出力端子Q, Q'は真信号の出力端子であり、出力端子QB, QB'は補信号の出力端子である。

【0008】

以下に、図7に示したスタティック型フリップフロップ回路の動作について説明する。

【0009】

クロック信号CKがハイレベルになると、トランジスタQ5が導通状態となり、トランジスタQ1, Q2からなる差動対に電流パスが形成される。マスター回路1に入力されるデータ信号Dとデータ補信号DBは、トランジスタQ1, Q2からなる差動対によって反転され、トランジスタQ8, Q9を介してレベルシフトされてマスター回路1の出力端子Q', QB'に取り出される。このとき、トランジスタQ6はローレベルのクロック補信号CKBが入力されて非導通状態であるため、トランジスタQ3, Q4からなる差動対には電流が流れない。したがって、マスター回路1の出力端子Q', QB'に取り出された信号は、スレーブ回路2には伝搬されずに、出力端子Q', QB'に保持される。

【0010】

次に、クロック信号CKがローレベルになり、クロック補信号CKBがハイレベルになると、トランジスタQ6が導通状態となり、トランジスタQ3, Q4か

らなる差動対に電流パスが形成される。このため、マスター回路1の出力端子Q'、QB'に取り出された信号はトランジスタQ3、Q4およびトランジスタQ10、Q11に伝搬される。

【0011】

トランジスタQ3、Q4からなる差動対には、エミッタホロワ回路により正帰還がかかっているため、クロック信号CKがローレベルの間はマスター回路1の出力信号が保持される。一方、スレーブ回路2に伝搬されたマスター回路1の出力信号は、トランジスタQ10、Q11からなる差動対により反転され、トランジスタQ17、Q18を介してレベルシフトされてスレーブ回路2の出力端子Q、QBに取り出される。このとき、トランジスタQ15はローレベルのクロック信号CKが入力されて非導通状態であるため、トランジスタQ12、Q13からなる差動対には電流が流れない。したがって、スレーブ回路2の出力端子Q、QBに取り出された信号は、出力端子Q、QBに保持される。

【0012】

このように、スレーブ回路2の出力端子Q、QBに取り出される信号は、クロック信号CKがハイレベルからローレベルに変化するとき、レベルが反転する動作を繰り返す。

【0013】

図7に示したスタティック型フリップフロップ回路においては、マスター回路1の遅延時間は、クロック信号CKが入力されてデータがエミッタホロワ回路に出力されるまでの時間T1と、正帰還を有する差動対（トランジスタQ3、Q4）および次段のスレーブ回路2の入力差動対（トランジスタQ10、Q11）を駆動するまでの時間T2との和で表される。この遅延時間が短いほどスタティック型フリップフロップ回路は高速に動作することになる。遅延時間T2は、正帰還を有する差動対（トランジスタQ3、Q4）および次段のスレーブ回路2の入力差動対（トランジスタQ10、Q11）のミラー容量に大きく影響される。

【0014】

特開平5-48402号公報には、上記の遅延時間T2に関するミラー容量のうち、正帰還を有する差動対（トランジスタQ3、Q4）のミラー容量の低減を

図ることにより、高速動作を可能としたスタティック型フリップフロップ回路が開示されている。

【0015】

図8を参照すると、上記の特許公報に開示されたスタティック型フリップフロップ回路においては、マスター回路1のトランジスタQ5とスレーブ回路2のトランジスタQ14で差動対を構成し、その差動対の共通エミッタに電流源回路を構成するトランジスタQ7と抵抗体R5を接続している。また、マスター回路1のトランジスタQ6とスレーブ回路2のトランジスタQ15で差動対を構成し、その差動対の共通エミッタに電流源回路を構成するトランジスタQ16と抵抗体R8を接続している。

【0016】

上述のように図8に示したスタティック型フリップフロップ回路においては、データ読み込み回路およびデータ保持用正帰還回路を電流源回路を含めた上で分離し、別々のトランジスタQ7、Q16によってマスター回路側とスレーブ回路側との間で電流切り替えを行う回路構成をとっている。それにより、データ保持用正帰還回路に流れる電流をデータ読み込み回路に流れる電流と比較して小さく設計することが可能になる。

【0017】

正帰還を有する差動対のミラー容量 C_m は、その差動対を構成するトランジスタのコレクタ容量を C_c とし、その差動対の電圧増幅率を A_o とすると、

$$C_m = C_c (1 + A_o)$$

で表すことができる。ここで、データ保持用正帰還回路の差動対を構成するトランジスタの動作電流を小さくすれば、電圧増幅率 A_o を小さくすることができ、データ保持用正帰還回路の差動対のミラー容量 C_m を小さくすることが可能となる。その結果、上記の遅延時間 T_2 のうちデータ保持用正帰還回路の差動対を駆動するまでの遅延時間が小さくなり、その分スタティック型フリップフロップ回路を高速に動作させることが可能となる。

【0018】

【発明が解決しようとする課題】

図8に示したスタティック型フリップフロップ回路においては、マスター回路およびスレーブ回路の各データ読み込み回路の差動対と各データ保持用正帰還回路の差動対とをそれぞれ組み合わせることにより、データ保持用正帰還回路の差動対の動作電流を独立に小さくすることが可能である。しかしながら、この回路構成では、回路のレイアウトが複雑になるばかりではなく、信号配線との交差部分が増えて信号配線の寄生容量が増加する。その結果、フリップフロップ回路の本来の処理速度の低下や、信号波形のジッタの増加を引き起こしてしまう。

【0019】

そこで本発明の目的は、別々のトランジスタによってマスター回路側とスレーブ回路側との間で電流切り替えを行う構成を用いることなく、データ保持用正帰還回路の差動対のミラー容量を低減することにより、高速動作を可能とするスタティック型フリップフロップ回路を提供することにある。

【0020】

【課題を解決するための手段】

上記目的を達成するために本発明によるスタティック型フリップフロップ回路は、第1のデータ読み込み用差動対と、前記第1のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成される第1のデータ保持用差動対と、前記第1のデータ読み込み用差動対および前記第1のデータ保持用差動対に接続される第1の電流源回路とを具備するマスター回路と、第2のデータ読み込み用差動対と、前記第2のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成される第2のデータ保持用差動対と、前記第2のデータ読み込み用差動対および前記第2のデータ保持用差動対に接続される第2の電流源回路とを具備するスレーブ回路とを有し、前記フリップフロップ回路は、前記第1および第2のデータ保持用差動対の電流が前記第1および第2のデータ読み込み用差動対の電流よりも小さくなり、かつ前記第1および第2のデータ保持用差動対の電流が当該データ保持用差動対を構成するトランジスタの許容電流以下となるような動作速度領域で動作を行うことを特徴としている。

【0021】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照して詳細に説明する。

【0022】

(第1の実施形態)

図1は、本発明の第1の実施形態によるスタティック型フリップフロップ回路の回路図である。ここでは、トランジスタに、バイポーラトランジスタを用いた回路構成を示している。

【0023】

図1を参照すると、本発明の第1の実施形態によるスタティック型フリップフロップ回路は、マスター回路1およびスレーブ回路2の2つのラッチ回路を有している。なお、GNDはグランド端子、V E Eは電源端子である。

【0024】

マスター回路1は、抵抗体R 1, R 2およびトランジスタQ 1, Q 2, Q 5からなるデータ読み込み回路と、抵抗体R 1, R 2、トランジスタQ 3, Q 4, Q 6、トランジスタQ 8, Q 9、および抵抗体R 6, R 7からなるデータ保持用正帰還回路と、トランジスタQ 5, Q 6の共通エミッタに接続されたトランジスタQ 7および抵抗体R 5からなる電流源回路とを有している。

【0025】

スレーブ回路2は、抵抗体R 3, R 4およびトランジスタQ 1 0, Q 1 1, Q 1 4からなるデータ読み込み回路と、抵抗体R 3, R 4、トランジスタQ 1 2, Q 1 3, Q 1 5、トランジスタQ 1 7, Q 1 8、および抵抗体R 9, R 1 0からなるデータ保持用正帰還回路と、トランジスタQ 1 4, Q 1 5の共通エミッタに接続されたトランジスタQ 1 6および抵抗体R 8からなる電流源回路とを有している。

【0026】

データ保持用差動対を構成するトランジスタ（トランジスタQ 3, Q 4, Q 6, Q 1 2, Q 1 3, Q 1 5）のサイズは、データ読み込み用差動対を構成するトランジスタ（トランジスタQ 1, Q 2, Q 5, Q 1 0, Q 1 1, Q 1 4）よりも小さく設定されている。図1では、データ読み込み用差動対が $2\mu\text{m} \times 10\mu\text{m}$

のエミッタサイズของトランジスタを使用しているのに対して、データ保持用差動対は、 $2\mu\text{m} \times 5\mu\text{m}$ のエミッタサイズของトランジスタを使用している。また、トランジスタ Q 7, Q 1 6 には、データ読み込み用差動対を構成するトランジスタと同様に $2\mu\text{m} \times 10\mu\text{m}$ のエミッタサイズของトランジスタを使用している。

【0027】

マスター回路 1 の電流源回路とスレーブ回路 2 の電流源回路は共通の定電流源端子 V C S に接続され、各電流源回路に一定の電流が流れるようになっている。

【0028】

以下に、図 1 に示した本発明の第 1 の実施形態によるスタティック型フリップフロップ回路の動作およびその動作条件について説明する。

【0029】

図 2 を参照すると、2 つの動作速度領域での、データ読み込み用差動対の電流とデータ保持用差動対の電流の変化を表す特性図が示されている。

【0030】

データ読み込み回路とデータ保持用正帰還回路は共通の電流源回路を介して共通の定電流源端子 V C S に接続されているために、低速動作領域では（図 2（a））、データ読み込み用差動対の電流とデータ保持用差動対の電流は、ほぼ同様な動作電流で変化している。

【0031】

一方、高速動作領域では（図 2（b））、データ保持用差動対の電流が減少し、データ読み込み用差動対の電流よりも小さくなっている。データ保持用差動対の電流とデータ読み込み用差動対の電流との和は、動作速度によらず一定であるが、データ保持用差動対の最大電流や平均電流が減少している分、データ読み込み用差動対の最小電流や平均電流が増加している。

【0032】

このように、フリップフロップ回路の動作速度によって、データ保持用差動対の電流が変化する。データ保持用差動対を構成するトランジスタは、データ読み込み用差動対を構成するトランジスタよりもサイズが小さく設定されているため、データ読み込み用差動対を構成するトランジスタよりも許容電流が小さい。

【0033】

そこで、データ保持用差動対の電流がデータ読み込み用差動対の電流よりも小さくなり、かつデータ保持用差動対の電流が当該データ保持用差動対を構成するトランジスタの許容電流以下になるような高速動作速度領域で、フリップフロップ回路を動作させる。

【0034】

上記のような動作速度領域でフリップフロップ回路を動作すれば、データ保持用差動対に過剰な電流が流れることがない。また、データ保持用差動対の電流が減少するためにデータ保持用差動対の電圧増幅率 A_o が小さくなること、サイズの小さなトランジスタによりデータ保持用差動対を構成しているためにコレクタ容量 C_c が小さくなることから、データ保持用差動対の電圧増幅率 A_o やコレクタ容量 C_c が小さくなる。それにより、データ保持用差動対のミラー容量 C_m を低減できるため、スタティック型フリップフロップ回路の高速化が可能になる。

【0035】

なお、本実施形態においては、バイポーラトランジスタを用いた例について説明したが、その他、例えば、GaAs MESFET (Metal Semiconductor Field Effect Transistor) を用いた場合も同様に、本実施形態のスタティック型フリップフロップ回路を実現することができる。

【0036】

また、D型フリップフロップ回路を用いた例について説明したが、スレーブ回路の出力がマスター回路のデータ入力に帰還され、分周動作が可能なT型フリップフロップ回路を用いた場合も同様に、本実施形態のスタティック型フリップフロップ回路を実現することができる。

【0037】

(第2の実施形態)

図3は、本発明の第2の実施形態によるスタティック型フリップフロップ回路の回路図である。ここでは、トランジスタにバイポーラトランジスタを用いた回路構成を示している。

【0038】

図3を参照すると、本発明の第2の実施形態によるスタティック型フリップフロップ回路は、マスター回路1およびスレーブ回路2の2つのラッチ回路を有している。なお、GNDはグランド端子、V_{EE}は電源端子である。

【0039】

マスター回路1は、抵抗体R1、R2およびトランジスタQ1、Q2、Q5からなるデータ読み込み回路と、抵抗体R1、R2、トランジスタQ3、Q4、Q6、トランジスタQ8、Q9および抵抗体R6、R7からなるデータ保持用正帰還回路と、トランジスタQ5、Q6の共通エミッタに接続されたトランジスタQ7および抵抗体R5からなる電流源回路とを有している。

【0040】

スレーブ回路2は、抵抗体R3、R4およびトランジスタQ10、Q11、Q14からなるデータ読み込み回路と、抵抗体R3、R4、トランジスタQ12、Q13、Q15、トランジスタQ17、Q18および抵抗体R9、R10からなるデータ保持用正帰還回路と、トランジスタQ14、Q15の共通エミッタに接続されたトランジスタQ16および抵抗体R8からなる電流源回路とを有している。

【0041】

上述した第1の実施形態では、マスター回路1の電流源回路とスレーブ回路2の電流源回路が定電流源端子V_{CS}に接続されており、各電流源回路には一定の電流が流れるように構成されていた。

【0042】

これに対して、本実施形態では、マスター回路1の電流源回路とスレーブ回路2の電流源回路が電流制御端子に接続されており、この電流制御端子によって、フリップフロップ回路の動作速度に応じて各電流源回路に流れる電流を制御するような構成となっている。

【0043】

データ保持用差動対を構成するトランジスタ（トランジスタQ3、Q4、Q6、Q12、Q13、Q15）のサイズは、データ読み込み用差動対を構成するトランジスタ（トランジスタQ1、Q2、Q5、Q10、Q11、Q14）よりも

小さく設定されている。図 3 では、データ読み込み用差動対が $2\mu\text{m} \times 10\mu\text{m}$ のエミッタサイズのトランジスタを使用しているのに対して、データ保持用差動対は、 $2\mu\text{m} \times 5\mu\text{m}$ のエミッタサイズのトランジスタを使用している。また、トランジスタ Q 7, Q 1 6 には、データ読み込み用差動対を構成するトランジスタと同様に $2\mu\text{m} \times 10\mu\text{m}$ のエミッタサイズのトランジスタを使用している。

【0044】

以下に、図 3 に示した本発明の第 2 の実施形態によるスタティック型フリップフロップ回路の動作およびその動作条件について説明する。

【0045】

図 4 を参照すると、フリップフロップ回路の動作速度に対する、データ読み込み用差動対の平均電流の依存性とデータ保持用差動対の平均電流の依存性を表す特性図が示されている。

【0046】

高速動作領域では、データ保持用差動対の電流がデータ読み込み用差動対の電流よりも小さくなる。このとき、フリップフロップ回路は、電流制御端子によって、データ保持用差動対の最大電流が当該データ保持用差動対を構成するトランジスタの許容電流以下になるように制御される。したがって、データ保持用差動対の電流が小さいこと、データ保持用差動対を構成しているトランジスタのサイズが小さいことから、データ保持用差動対の電圧増幅率 A_o やコレクタ容量 C_c が小さくなり、それにより、スタティック型フリップフロップ回路の高速化が可能になる。

【0047】

低速動作領域では、データ保持用差動対の電流が増加し、データ読み込み用差動対の電流と同等になるが、電流制御端子によって、データ保持用差動対の最大電流が当該データ保持用差動対を構成するトランジスタの許容電流以下になるように制御する。

【0048】

上述したように本実施形態においては、電流制御端子によって、データ保持用差動対の電流をトランジスタの許容電流以下に制御することにより、フリップフ

ロップ回路を最高速度から低い速度まで広い範囲に渡って動作させることが可能となる。

【 0 0 4 9 】

なお、本実施形態においては、バイポーラトランジスタを用いた例について説明したが、その他、例えば、GaAs MESFETを用いた場合も同様に、本実施形態のスタティック型フリップフロップ回路を実現することができる。

【 0 0 5 0 】

また、D型フリップフロップ回路を用いた例について説明したが、スレーブ回路の出力がマスター回路のデータ入力に帰還され、分周動作が可能なT型フリップフロップ回路を用いた場合も同様に、本実施形態のスタティック型フリップフロップ回路を実現することができる。

【 0 0 5 1 】

(第3の実施の形態)

図5は、本発明の第3の実施形態によるスタティック型フリップフロップ回路の回路図である。ここでは、トランジスタにバイポーラトランジスタを用いた回路構成を示している。

【 0 0 5 2 】

図5を参照すると、本発明の第3の実施形態によるスタティック型フリップフロップ回路は、マスター回路1およびスレーブ回路2の2つのラッチ回路を有している。なお、GNDはグランド端子、V E Eは電源端子である。

【 0 0 5 3 】

マスター回路1は、抵抗体R1、R2およびトランジスタQ1、Q2、Q5からなるデータ読み込み回路と、抵抗体R1、R2、トランジスタQ3、Q4、Q6、トランジスタQ8、Q9および抵抗体R6、R7からなるデータ保持用正帰還回路と、トランジスタQ5、Q6の共通エミッタに接続されたトランジスタQ7および抵抗体R5からなる電流源回路とを有している。

【 0 0 5 4 】

スレーブ回路2は、抵抗体R3、R4およびトランジスタQ10、Q11、Q14からなるデータ読み込み回路と、抵抗体R3、R4、トランジスタQ12、

Q13, Q15、トランジスタQ17, Q18および抵抗体R9, R10からなるデータ保持用正帰還回路と、トランジスタQ14, Q15の共通エミッタに接続されたトランジスタQ16および抵抗体R8からなる電流源回路とを有している。

【0055】

マスター回路1の電流源回路を構成し電流切り替えを行うトランジスタQ7とクロック信号CKが入力される端子との間には、抵抗と容量からなる積分回路3₁と、ダイオードを含んだバイアス調整回路4₁とが接続されている。スレーブ回路2の電流源回路を構成し電流切り替えを行うトランジスタQ16とクロック補信号CKBが入力される端子との間には、上記と同様な積分回路3₂とバイアス調整回路4₂とが接続されている。

【0056】

データ保持用差動対を構成するトランジスタ（トランジスタQ3, Q4, Q6, Q12, Q13, Q15）のサイズは、データ読み込み用差動対を構成するトランジスタ（トランジスタQ1, Q2, Q5, Q10, Q11, Q14）よりも小さく設定されている。図5では、データ読み込み用差動対が2 μ m \times 10 μ mのエミッタサイズのトランジスタを使用しているのに対して、データ保持用差動対は、2 μ m \times 5 μ mのエミッタサイズのトランジスタを使用している。また、トランジスタQ7, Q16には、データ読み込み用差動対を構成するトランジスタと同様に2 μ m \times 10 μ mのエミッタサイズのトランジスタを使用している。

【0057】

以下に、図5に示した本発明の第3の実施形態によるスタティック型フリップフロップ回路の動作およびその動作条件について説明する。

【0058】

クロック信号CKおよびクロック補信号CKBの周波数が積分回路3₁, 3₂のカットオフ周波数よりも十分に大きな場合、マスター回路1およびスレーブ回路2の電流源回路を構成するトランジスタQ7, Q16には、ある一定の電圧レベルが与えられる。この周波数では、フリップフロップ回路を、データ保持用差動対の最大電流がデータ読み込み用差動対の電流よりも小さくなり、データ保持用

差動対の最大電流が当該データ保持用差動対を構成するトランジスタの許容電流以下になるように設定する。したがって、データ保持用差動対の電流が小さいこと、データ保持用差動対を構成しているトランジスタのサイズが小さいことにより、データ保持用差動対の電圧増幅率 A_o やコレクタ容量 C_c が小さくなり、それにより、スタティック型フリップフロップ回路の高速化が可能になる。

【0059】

クロック信号 CK およびクロック補信号 CKB の周波数が低くなると、積分回路 3_1 、 3_2 の出力は、クロック信号 CK およびクロック補信号 CKB に同期した信号となる。すなわち、積分回路 3_1 、 3_2 の出力は、クロック信号 CK およびクロック補信号 CKB の周波数が低くなるにしたがって振幅が大きくなる。このとき、積分回路 3_1 、 3_2 の出力信号のハイレベルを一定にしてローレベルがクロック信号 CK およびクロック補信号 CKB の周波数に応じて変化するようにする。このようにすれば、データ保持用差動対の電流は、クロック信号 CK およびクロック補信号 CKB の周波数に応じて自動的に小さくなり、常にトランジスタの許容電流以下に制御することが可能になる。

【0060】

上述したように本実施形態においては、クロック信号 CK が入力される端子およびクロック補信号 CKB が入力される端子から分岐した積分回路 3_1 、 3_2 によって、データ保持用差動対の電流をトランジスタの許容電流以下に自動的に制御することにより、フリップフロップ回路を最高速度から低い速度まで広い範囲に渡って動作させることが可能となる。

【0061】

なお、本実施形態においては、積分回路 3_1 、 3_2 として抵抗と容量からなる回路を用いたが、他の積分回路やローパスフィルタ回路を用いた場合も同様に、本実施形態のスタティック型フリップフロップ回路を実現することができる。また、バイアス調整回路 4_1 、 4_2 としてダイオードを含んだ回路を用いたが、他のバイアス調整回路を用いた場合も同様に、本実施形態のスタティック型フリップフロップ回路を実現することができる。

【0062】

また、バイポーラトランジスタを用いた例について説明したが、その他、例えば、GaAs MESFETを用いた場合も同様に、本実施形態のスタティック型フリップフロップ回路を実現することができる。

【0063】

また、D型フリップフロップ回路を用いた例について説明したが、スレーブ回路の出力がマスター回路のデータ入力に帰還され、分周動作が可能なT型フリップフロップ回路を用いた場合も同様に、本実施形態のスタティック型フリップフロップ回路を実現することができる。

【0064】

(第4の実施形態)

図6は、本発明の第4の実施形態によるスタティック型フリップフロップ回路の回路図である。ここでは、トランジスタにバイポーラトランジスタを用いた回路構成を示している。

【0065】

図6を参照すると、本発明の第4の実施形態によるスタティック型フリップフロップ回路は、マスター回路1およびスレーブ回路2の2つのラッチ回路を有している。なお、GNDはグランド端子、V_{EE}は電源端子である。

【0066】

マスター回路1は、抵抗体R1、R2およびトランジスタQ1、Q2、Q5からなるデータ読み込み回路と、抵抗体R1、R2、トランジスタQ3、Q4、Q6、Q19、Q20、Q21、トランジスタQ8、Q9、および抵抗体R6、R7からなるデータ保持用正帰還回路と、トランジスタQ5、Q6の共通エミッタに接続されたトランジスタQ7および抵抗体R5からなる電流源回路とを有している。

【0067】

スレーブ回路2は、抵抗体R3、R4およびトランジスタQ10、Q11、Q14からなるデータ読み込み回路と、抵抗体R3、R4、トランジスタQ12、Q13、Q15、Q22、Q23、Q24、トランジスタQ17、Q18、および抵抗体R9、R10からなるデータ保持用正帰還回路と、トランジスタQ14

、Q15の共通エミッタに接続されたトランジスタQ16および抵抗体R8からなる電流源回路とを有している。

【0068】

マスター回路1のデータ保持用差動対は、2つの差動対が並列に接続された構成になっており、トランジスタQ6とトランジスタQ21のエミッタは、抵抗と容量からなるローパスフィルタ回路5₁を介して接続されている。スレーブ回路2のデータ保持用差動対は、2つの差動対が並列に接続された構成になっており、トランジスタQ15とトランジスタQ24のエミッタは、抵抗と容量からなるローパスフィルタ回路5₂を介して接続されている。

【0069】

データ保持用差動対を構成するトランジスタ（トランジスタQ3、Q4、Q6、Q19、Q20、Q21、Q12、Q13、Q15、Q22、Q23、Q24）のサイズは、データ読み込み用差動対を構成するトランジスタ（トランジスタQ1、Q2、Q5、Q10、Q11、Q14）よりも小さく設定されている。図6では、データ読み込み用差動対が2 μ m \times 10 μ mのエミッタサイズのトランジスタを使用しているのに対して、データ保持用差動対は、2 μ m \times 5 μ mのエミッタサイズのトランジスタを使用している。また、トランジスタQ7、Q16には、データ読み込み用差動対を構成するトランジスタと同様に2 μ m \times 10 μ mのエミッタサイズのトランジスタを使用している。

【0070】

以下に、図6に示した本発明の第4の実施形態によるスタティック型フリップフロップ回路の動作およびその動作条件について説明する。

【0071】

クロック信号CKおよびクロック補信号CKBの周波数がローパスフィルタ回路5₁、5₂のカットオフ周波数よりも十分に大きな場合には、2つ差動対が並列接続されたデータ保持用差動対のうち、ローパスフィルタ回路5₁、5₂で接続されたトランジスタQ19、Q20、Q21およびトランジスタQ22、Q23、Q24で構成される差動対には電流が流れずに、トランジスタQ3、Q4、Q6およびトランジスタQ12、Q13、Q15で構成される差動対のみに電流が流

れる。この周波数では、フリップフロップ回路を、データ保持用差動対の電流がデータ読み込み用差動対の電流よりも小さくなり、データ保持用差動対の最大電流が当該データ保持用差動対を構成するトランジスタの許容電流以下になるように設定する。したがって、データ保持用差動対の電流が小さいこと、データ保持用差動対を構成しているトランジスタのトランジスタサイズが小さいことにより、データ保持用差動対の電圧増幅率 A_o やコレクタ容量 C_c が小さくなり、それにより、スタティック型フリップフロップ回路を高速に動作させることができる。

【0072】

クロック信号CKおよびクロック補信号CKBの周波数が小さくなると、データ保持用差動対に流れる電流が増加するが、ローパスフィルタ回路 5_1 、 5_2 で接続されたトランジスタQ19、Q20、Q21およびトランジスタQ22、Q23、Q24で構成される差動対に電流が流れるために、トランジスタQ3、Q4、Q6およびトランジスタQ12、Q13、Q15で構成される差動対のトランジスタには許容電流以上に電流が流れない。

【0073】

クロック信号CKおよびクロック補信号CKBの周波数がローパスフィルタ回路 5_1 、 5_2 のカットオフ周波数よりも十分に小さくなると、2つの差動対が並列接続されたデータ保持用差動対は、トランジスタサイズが2倍のトランジスタで構成されたデータ読み込み用差動対と同等となる。そのため、データ読み込み用差動対に流れる電流が増加しても、データ保持用差動対の電流は、当該データ保持用差動対を構成するトランジスタの許容電流よりも大きくなることはない。

【0074】

上述したように本実施形態においては、データ保持用差動対を2つの差動対が並列に接続された構成とし、この2つの差動対をローパスフィルタ回路 5_1 、 5_2 を介して接続することにより、クロック信号CKおよびクロック補信号CKBの周波数に応じてデータ保持用差動対の電流を制御することができる。それにより、フリップフロップ回路を最高速度から低い速度まで広い範囲に渡って動作させることが可能となる。

【0075】

なお、本実施形態においては、ローパスフィルタ回路 5_1 、 5_2 として抵抗と容量からなる回路を用いたが、他のローパスフィルタ回路、インダクタや分布線路を用いた場合も同様に、本実施形態のスタティック型フリップフロップ回路を実現することができる。

【0076】

また、バイポーラトランジスタを用いた例について説明したが、その他、例えば、GaAs MESFETを用いた場合も同様に、本実施形態のスタティック型フリップフロップ回路を実現することができる。

【0077】

また、D型フリップフロップ回路を用いた例について説明したが、スレーブ回路の出力がマスター回路のデータ入力に帰還され、分周動作が可能なT型フリップフロップ回路を用いた場合も同様に、本実施形態のスタティック型フリップフロップ回路を実現することができる。

【0078】

【発明の効果】

以上説明したように本発明によれば、データ保持用差動対を構成するトランジスタのサイズをデータ読み込み用差動対を構成するトランジスタよりも小さく設定し、さらに、データ保持用差動対の電流がデータ読み込み用差動対の電流よりも小さくなり、かつデータ保持用差動対の電流が当該データ保持用差動対を構成するトランジスタの許容電流以下となるような高速動作領域で、フリップフロップ回路を動作させる。

【0079】

このように、データ保持用差動対の電流が小さいこと、データ保持用差動対を構成するトランジスタのサイズが小さいことにより、データ保持用差動対の電圧増幅率 A_o やコレクタ容量 C_c が小さくなる。それにより、データ保持用差動対のミラー容量 C_m を低減することができるため、フリップフロップ回路を高速に動作させることが可能になる。

【0080】

また、低速動作領域においても、電流源回路に接続された電流制御端子によって、データ保持用差動対の電流が当該データ保持用差動対を構成するトランジスタの許容電流以下となるように制御することとすれば、フリップフロップ回路を最高速度から低い速度まで広い範囲に渡って動作させることが可能となる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態によるスタティック型フリップフロップ回路の回路図である。

【図 2】

本発明の第 1 の実施形態によるスタティック型フリップフロップ回路の動作およびその動作条件を説明する特性図である。

【図 3】

本発明の第 2 の実施形態によるスタティック型フリップフロップ回路の回路図である。

【図 4】

本発明の第 2 の実施形態によるスタティック型フリップフロップ回路の動作およびその動作条件を説明する特性図である。

【図 5】

本発明の第 3 の実施形態によるスタティック型フリップフロップ回路の回路図である。

【図 6】

本発明の第 4 の実施形態によるスタティック型フリップフロップ回路の回路図である。

【図 7】

従来のスタティック型フリップフロップ回路の一構成例を示す回路図である。

【図 8】

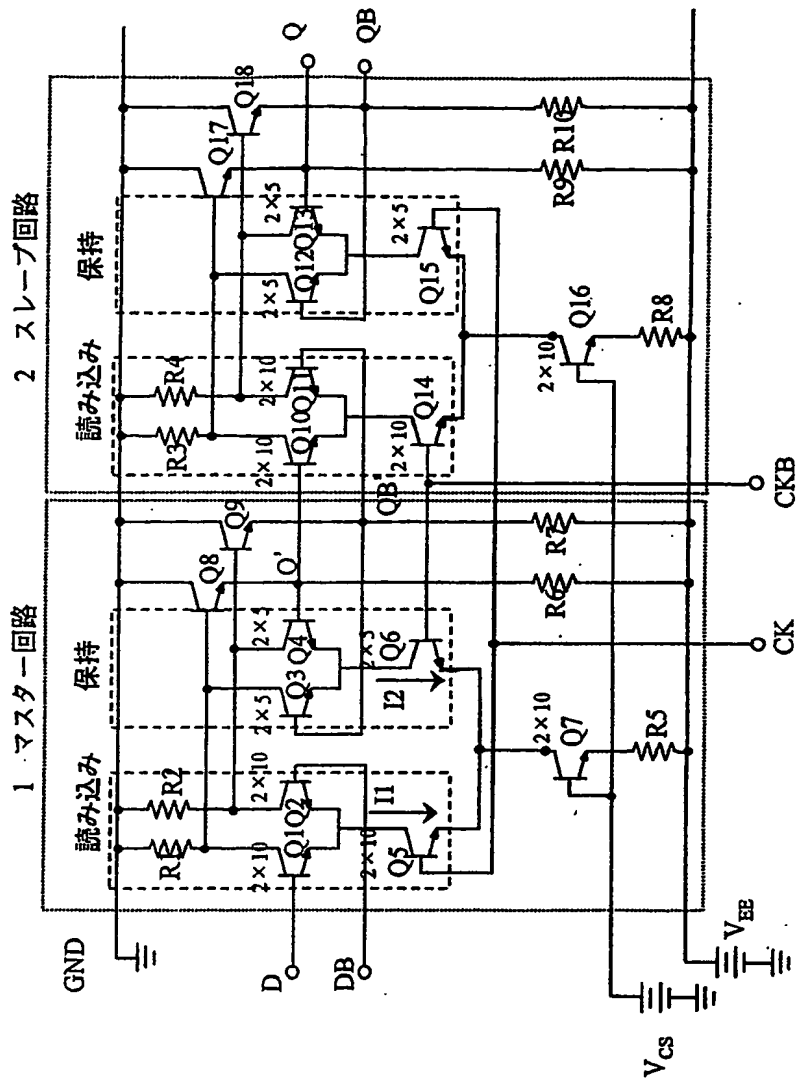
従来のスタティック型フリップフロップ回路の他の構成例を示す回路図である。

【符号の説明】

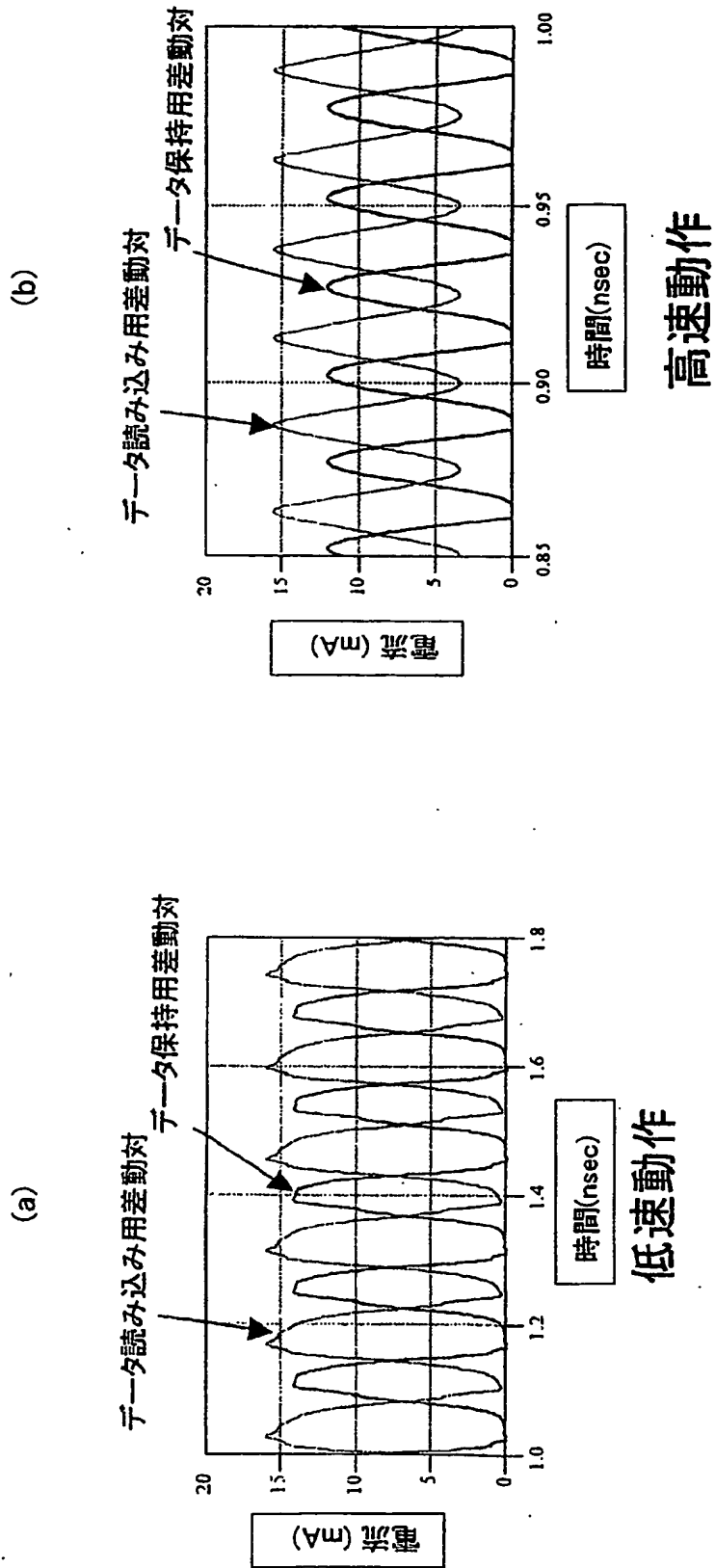
1 マスター回路
 2 スレーブ回路
 3₁, 3₂ 積分回路
 4₁, 4₂ バイアス調整回路
 5₁, 5₂ ローパスフィルタ回路
 Q1～Q24 トランジスタ
 R1～R10 抵抗体
 GND グランド端子
 VEE 電源端子
 VCS 定電流源端子
 D データ信号
 DB データ補信号
 CK クロック信号
 CKB クロック補信号
 Q, Q' 真信号出力端子
 QB, QB' 補信号出力端子

【書類名】 図面

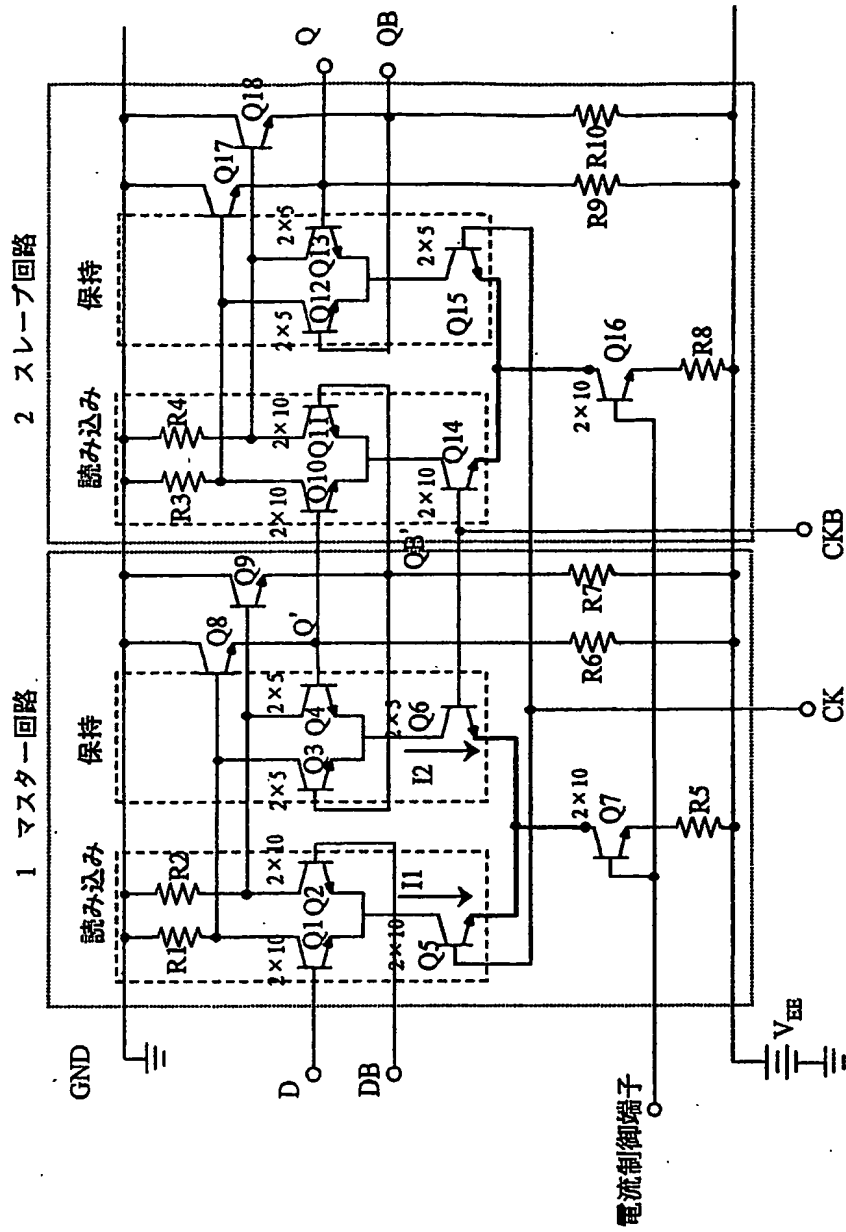
【図 1】



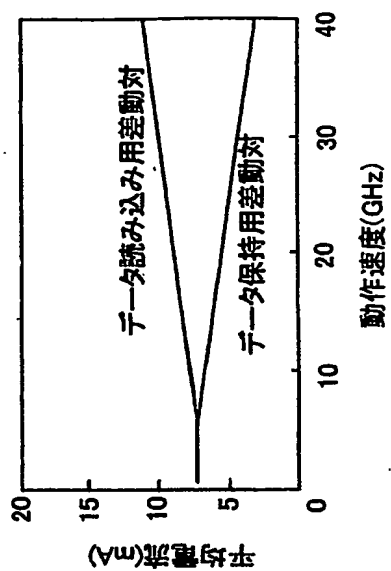
【図 2】



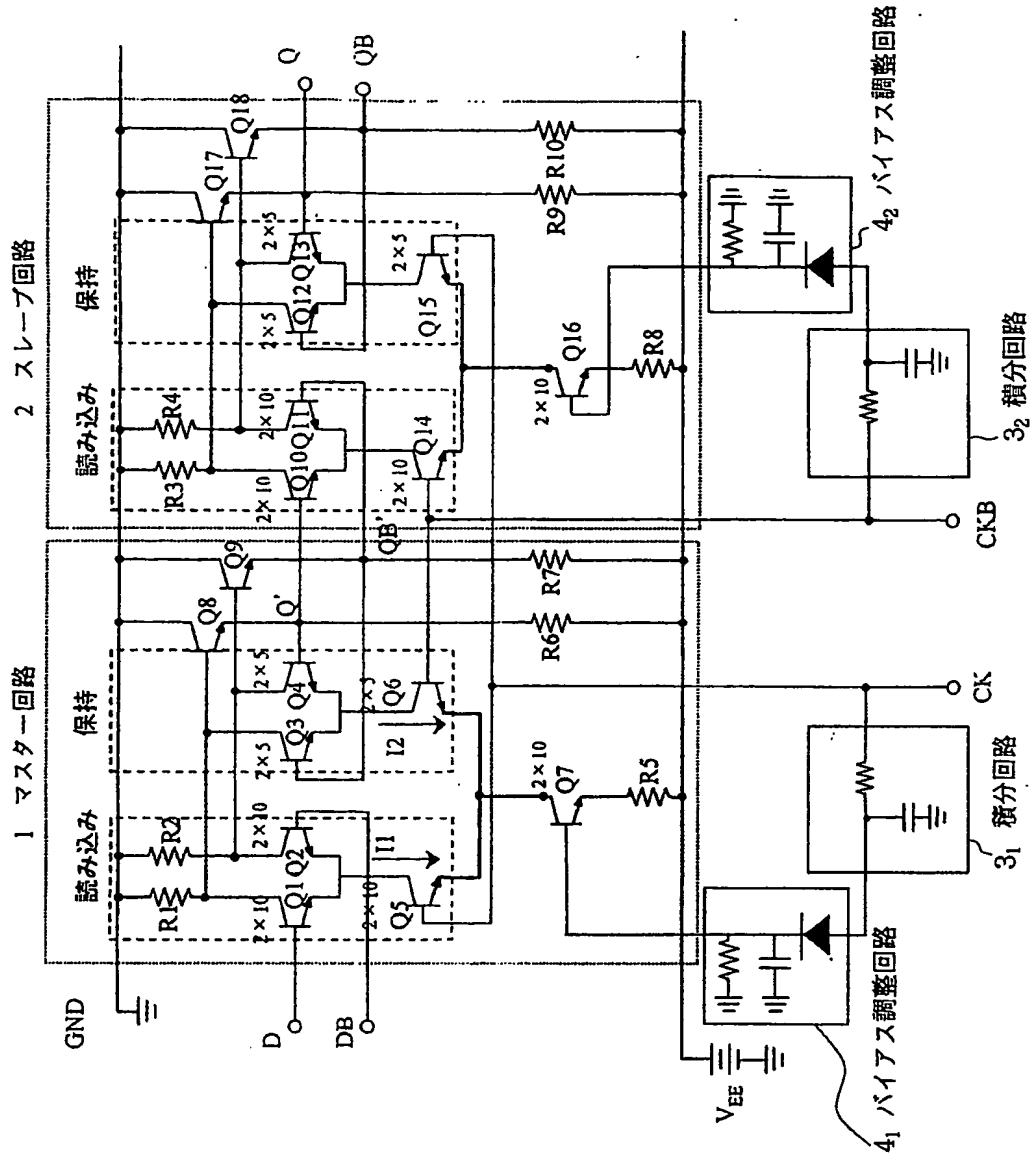
【図 3】



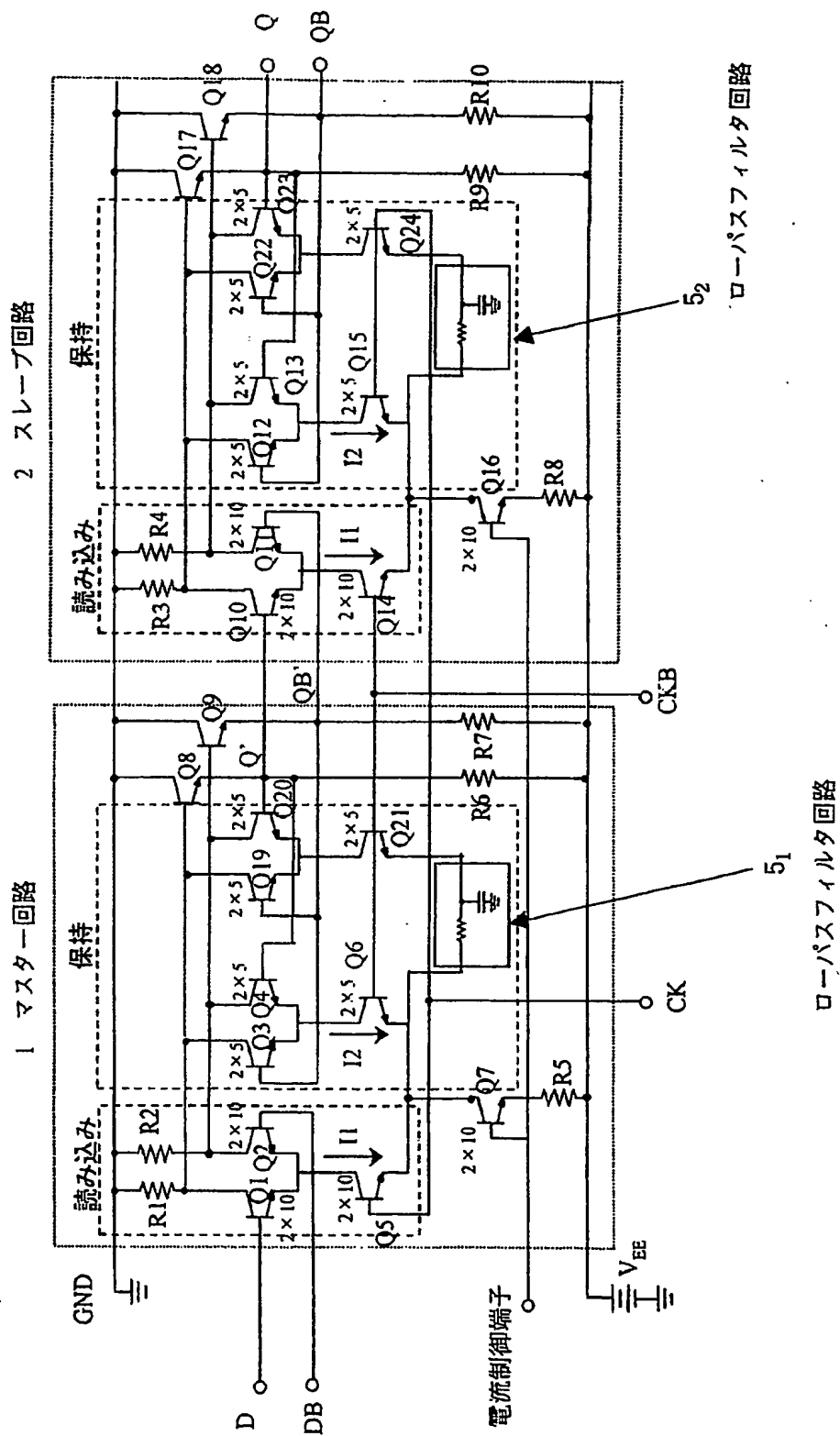
【図 4】



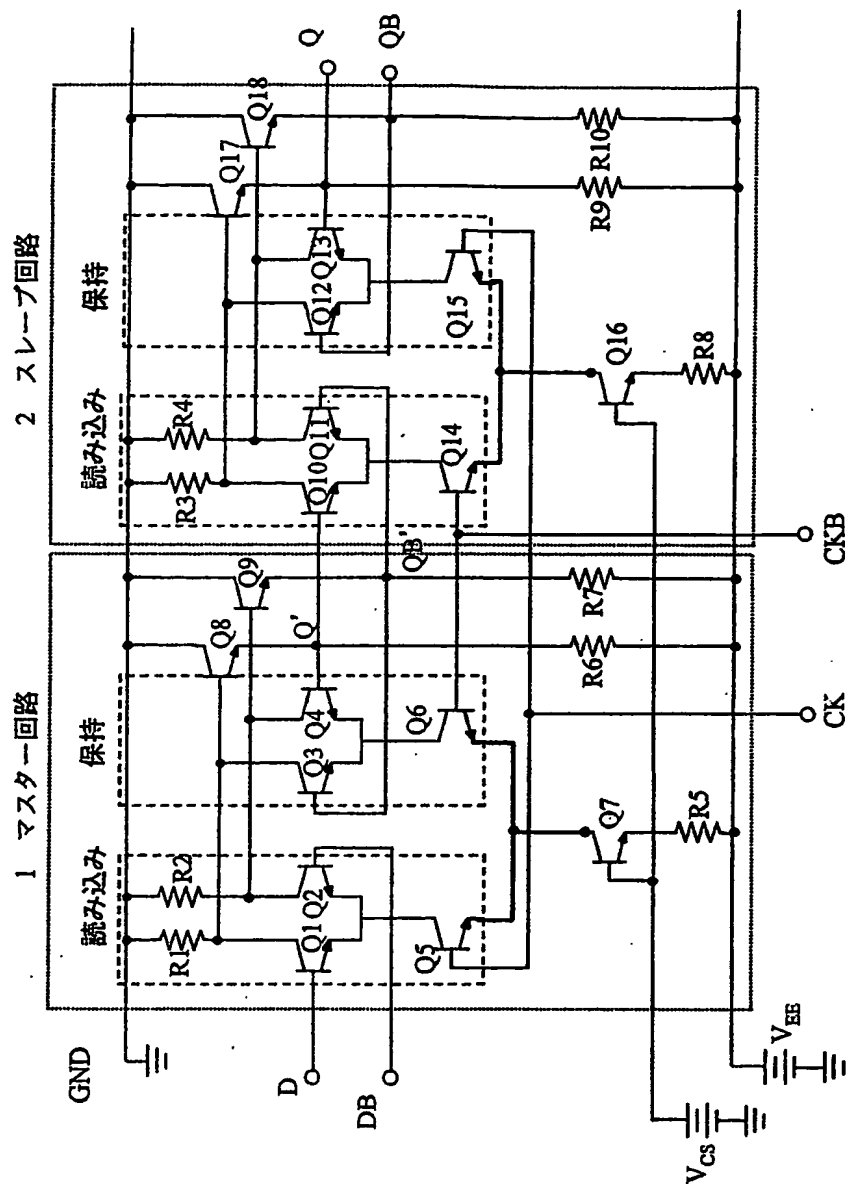
【図 5】



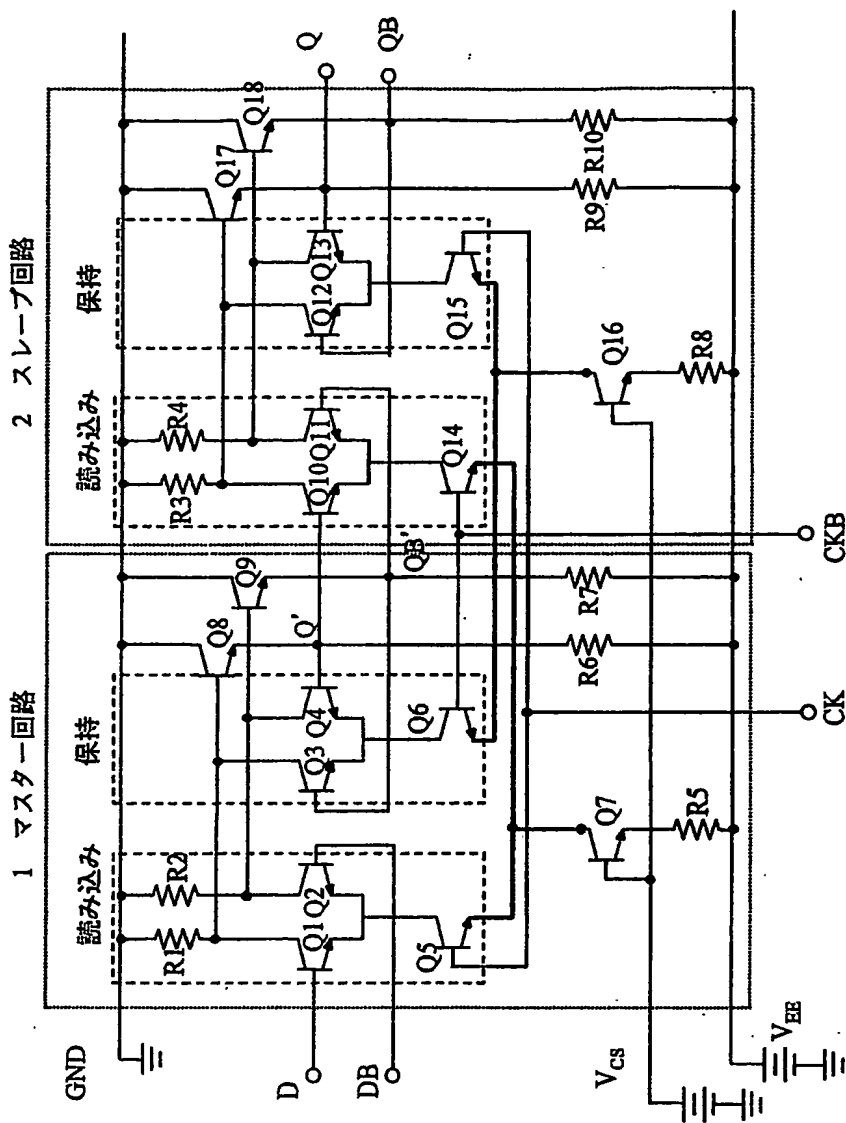
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 高速動作が可能なスタティック型フリップフロップ回路を提供する。

【解決手段】 マスター回路 1 およびスレーブ回路 2 は、データ保持用差動対を構成するトランジスタのサイズがデータ読み出し用差動対を構成するトランジスタよりも小さく設定されている。さらに、データ保持用差動対の電流がデータ読み出し用差動対の電流よりも小さくなり、かつデータ保持用差動対の電流が当該データ保持用差動対を構成するトランジスタの許容電流以下となるような高速動作速度領域で、フリップフロップ回路を動作させる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社